

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06266834 A**

(43) Date of publication of application: **22.09.94**

(51) Int. Cl      **G06F 15/66**  
**G06F 15/64**  
**G09G 5/36**  
**H04N 1/393**

(21) Application number: **05051786**

(71) Applicant: **JAPAN RADIO CO LTD**

(22) Date of filing: **12.03.93**

(72) Inventor: **NAKAZAWA KAZUYUKI**

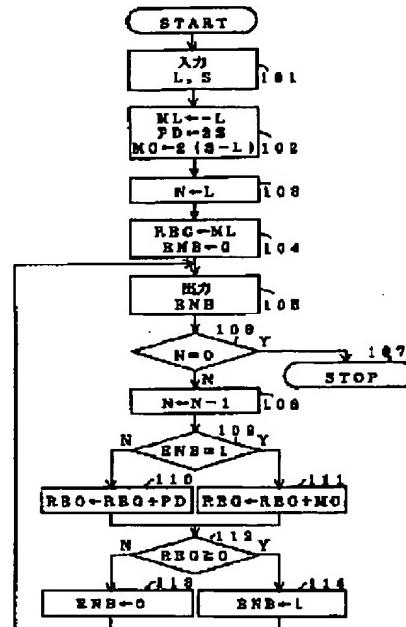
**(54) DEVICE AND METHOD FOR MAGNIFYING AND REDUCING RECTANGULAR PICTURE**

**(57) Abstract:**

**PURPOSE:** To attain magnified/reduced transfer without specifying a magnification value and to remove overhead relating to the specification of the magnification value at an accurate magnification value.

**CONSTITUTION:** After presetting DDA items or the like (102 to 104), the DDA operation of REG is executed (109 to 111), and when the carry of the REG is generated (112), the carry is used as an enable signal ENB. A reading address counter in a source side frame memory at the time of magnified transfer and a writing address counter in a destination side frame memory at the time of reduced transfer are respectively controlled by the enable signal ENB.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-266834

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 0 6 F 15/66	3 5 5 D	8420-5L		
15/64	4 5 0 E	7631-5L		
G 0 9 G 5/36		8121-5G		
H 0 4 N 1/393		4226-5C		

審査請求 未請求 請求項の数8 O.L (全13頁)

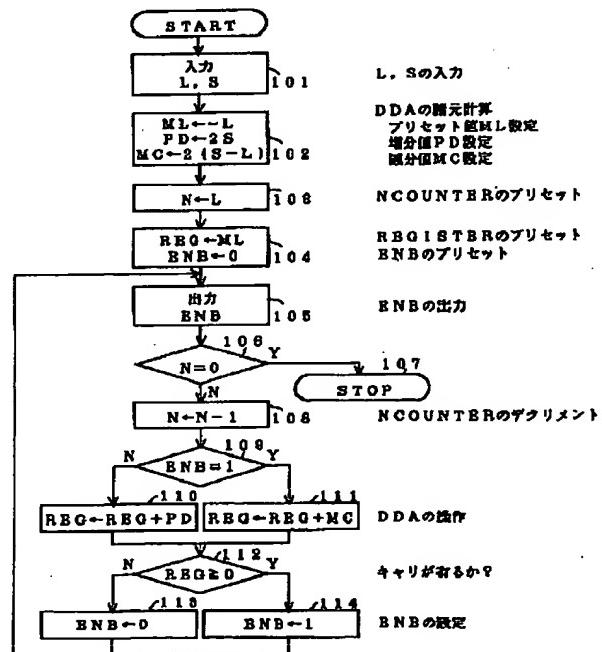
(21)出願番号 特願平5-51786	(71)出願人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号
(22)出願日 平成5年(1993)3月12日	(72)発明者 中沢 和之 東京都三鷹市下連雀5丁目1番1号 日本 無線株式会社内
	(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 矩形画像の拡大縮小装置及び方法

(57)【要約】

【目的】 倍率値指定を廃止しつつ拡大縮小転送可能にし、正確な倍率でかつ倍率値指定に係るオーバヘッドをなくす。

【構成】 DDA諸元等をプリセットした上で(102～104)、REGについてDDA操作を実行し(109～111)、REGのキャリが発生した場合に(112)これをイネーブル信号ENBとして使用する。拡大転送時にはソース側フレームメモリのリードアドレスカウンタを、縮小転送時にはディスティネーション側フレームメモリのライトアドレスカウンタを、イネーブル信号ENBにより制御する。



## 【特許請求の範囲】

【請求項1】 ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しあドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数個のアドレスに重複して書き込まれるよう、読み出しあドレスカウンタの計数動作を適宜禁止することによりソース側フレームメモリからの読み出しあドレスを重複発生させる拡大転送制御手段と、を備え、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納する矩形画像の拡大装置において、  
拡大転送制御手段が、

ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきディジタル微分解析の諸元を演算する手段と、  
演算により得られた諸元に基づきディジタル微分解析を実行することにより、読み出しあドレスカウンタの計数動作を禁止するタイミングを決定する手段と、  
その結果に基づき読み出しあドレスカウンタの計数動作を制御する手段と、  
を備え、

短軸値及び長軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を実行することを特徴とする矩形画像の拡大装置。

【請求項2】 ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しあドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータの一部が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる縮小転送制御手段と、を備え、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納する矩形画像の縮小装置において、  
縮小転送制御手段が、

ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきディ

ジタル微分解析の諸元を演算する手段と、  
演算により得られた諸元に基づきディジタル微分解析を実行することにより、書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、  
その結果に基づき書き込みアドレスカウンタの計数動作を制御する手段と、  
を備え、  
長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を実行することを特徴とする矩形画像の縮小装置。

【請求項3】 矩形画像をデータとして格納するソース側フレームメモリと、  
ソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリと、  
請求項1又は2記載の矩形画像の拡大装置又は縮小装置と、  
を備えることを特徴とする画像処理装置。

【請求項4】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきディジタル微分解析の諸元を演算する手段と、  
演算により得られた諸元に基づきディジタル微分解析を実行することにより、ソース側フレームメモリからの読み出しあドレスを計数により発生させる読み出しあドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき読み出しあドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しあドレスを制御する手段と、  
を備え、  
短軸値及び長軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を制御することを特徴とする矩形画像の拡大転送制御装置。

【請求項5】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきディジタル微分解析の諸元を演算する手段と、  
演算により得られた諸元に基づきディジタル微分解析を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書

(3)

4

き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、

その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御する手段と、備え、

長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を制御することを特徴とする矩形画像の縮小転送制御装置。

【請求項6】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきデジタル微分解析の諸元を演算し、

演算により得られた諸元に基づきデジタル微分解析を実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御することにより、

ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに拡大して転送することを特徴とする矩形画像の拡大転送方法。

【請求項7】 ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきデジタル微分解析の諸元を演算し、

演算により得られた諸元に基づきデジタル微分解析を実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定し、

その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに縮小して転送することを特徴とする矩形画像の縮小転送方法。

【請求項8】 請求項1乃至7記載の装置又は方法において、

ソース側フレームメモリ及びディスティネーション側フレームメモリが、n次元（nは2以上の整数）メモリであることを特徴とする装置又は方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】本発明は、ディスプレイ装置、プロッタ装置等において矩形画像を拡大縮小させる装置及び方式、即ち矩形画像の拡大縮小装置及び方法に関する。

##### 【0002】

【従来の技術】ディスプレイ装置、プロッタ装置等の装置は、通常、表示すべき图形がピット展開されるフレームメモリを有している。画像信号等、表示に用いる信号は、フレームメモリ上のデータに応じて発生させる。フレームメモリに画像データを書き込み、あるいはフレームメモリから画像データを読み出す際、すなわちフレームメモリをリード又はライトアクセスする際には、XY平面上で、Xアドレスを順次インクリメントさせ、Xアドレスカウンタがカウントアップした時点でYアドレスを1インクリメントさせ、さらにXアドレスの順次インクリメントから繰り返す、といった動作を実行する。

【0003】このような装置における矩形画像の拡大縮小は、ソース側フレームメモリからディスティネーション側フレームメモリへの転送格納として実現できる。すなわち、ソース側フレームメモリから画像データを読み出し、ディスティネーション側フレームメモリへ書き込む際、各フレームメモリへのアクセスに係るアドレスを発生させるX及びYアドレスカウンタの計数動作を制御することにより、拡大縮小転送を実現できる。

【0004】図6には、フレームメモリとしてソース側フレームメモリ27及びディスティネーション側フレームメモリ28を備える回路の構成が示されている。この図に示される回路は、ソース側フレームメモリ27のリードアドレス(XRA, YRA)及びディスティネーション側フレームメモリ28のライトアドレス(XWA, YWA)を発生させ、ソース側フレームメモリ27からのリードとディスティネーション側フレームメモリ28へのライトを行うことにより、ソース側フレームメモリ27上の矩形画像をディスティネーション側フレームメモリ28へ転送する回路である。

【0005】ソース側フレームメモリ27のリードアドレス(XRA, YRA)は、それぞれ、Xリードアドレスカウンタ23及びYリードアドレスカウンタ24によって生成される。また、ディスティネーション側フレームメモリ28のライトアドレス(XWA, YWA)は、それぞれ、Xライトアドレスカウンタ25及びYライトアドレスカウンタ26によって生成される。いずれのアドレスカウンタ23～26もイネーブル端子を有しているため、各アドレスカウンタ23～26の計数動作は、対応するコントローラ21又は22から供給されるイネ

一ブル信号E N Bをオン／オフさせることにより、許可／禁止することができる。

【0006】後述するように、コントローラ21及び22の出力であるイネーブル信号E N Bは、カウンタ32の計数値COUNTがカウントアップする周期でオンする。従って、例えばリードアドレスカウンタ23及び24をイネーブル信号E N Bによる計数動作許可／禁止制御下におくことにより、ソース側フレームメモリ27のリードアドレス(X R A, Y R A)を、イネーブル信号E N Bがオンしている(E N B=1)時点においてのみ変化(インクリメント又はデクリメント)し、イネーブル信号E N Bがオフしている(E N B=0)時点においては直前の値が維持されるよう、制御できる。逆に、例えばライトアドレスカウンタ25及び26をイネーブル信号E N Bによる計数動作許可／禁止制御下におくことにより、ディスティネーション側フレームメモリ28のライトアドレス(X W A, Y W A)を、イネーブル信号E N Bがオンしている時点においてのみ変化(インクリメント又はデクリメント)し、イネーブル信号E N Bがオフしている(E N B=0)時点においては直前の値が維持されるよう、制御できる。

【0007】例えばソース側フレームメモリ27上の矩形画像をディスティネーション側フレームメモリ28に拡大転送する場合には、イネーブル信号E N Bをリードアドレスカウンタ23及び24に供給してソース側フレームメモリ27のリードアドレス(X R A, Y R A)を発生させる。例えばイネーブル信号E N Bが0, 0, 1, 0, 0, 1…というように変化していく場合、その計数値であるリードアドレスは0, 0, 1, 1, 1, 2…というように変化する。この一方で、ライトアドレスカウンタ25及び26に単調な計数動作を実行されれば、ディスティネーション側フレームメモリ28のライトアドレス(X W A, Y W A)は例えば0, 1, 2, 3, 4, 5…というように変化する。従って、リードアドレス0, 0, 1, 1, 1, 2…のデータ(DAT A)がライトアドレス0, 1, 2, 3, 4, 5…に転送格納されることになる。このように、イネーブル信号E N Bがオフしている期間においてリードアドレスを重複発生(すなわち直前の値と同じ値を発生)させることにより、拡大転送を実現できる。逆にソース側フレームメモリ27上の矩形画像をディスティネーション側フレームメモリ28に縮小転送する場合には、イネーブル信号E N Bをライトアドレスカウンタ25及び26に供給してディスティネーション側フレームメモリ28のライトアドレス(X W A, Y W A)を発生させる一方で、リードアドレスカウンタ23及び24に単調な計数動作を実行させてソース側フレームメモリ27のリードアドレス(X R A, Y R A)を発生させればよい。

【0008】このように、ソース側フレームメモリ27からディスティネーション側フレームメモリ28への矩

形画像の拡大縮小転送は、イネーブル信号E N Bの発生制御により実現できる。図7にはコントローラ21又は22として用い得る回路の構成が、図8にはその動作の流れが、それぞれ示されている。

【0009】図7に示される回路は、ソース側フレームメモリ27上の矩形画像をディスティネーション側フレームメモリ28へ転送する際に、定数D倍の拡大縮小を行わせるよう、イネーブル信号E N Bを発生させる回路である。

10 【0010】この図の回路は、長軸カウンタ31、カウンタ32及び比較器33から構成されている。長軸カウンタ31は、矩形画像の長軸値LがNとしてプリセットされるダウンカウンタである。このカウンタ31がカウントアップすると、拡大縮小転送に係る動作が終了する。ここに、長軸値Lとは、矩形画像の拡大転送の場合には拡大後の矩形画像の一辺の長さを、縮小転送の場合には縮小前の矩形画像の一辺の長さを、それぞれ示している。図7の回路をX側のコントローラ21として用いる場合には長軸値LとしてそのX値であるXLを、Y側のコントローラ22として用いる場合にはそのY値であるYLを、長軸カウンタ31にプリセットする。

【0011】カウンタ32は、イネーブル信号E N Bが0、すなわちオフしている場合にその内容COUNTがインクリメントされるアップカウンタである。イネーブル信号E N Bが1、すなわちオンすると、カウンタ32はクリアされる(CLEAR)。

【0012】比較器33は、定数倍率値Dとカウンタ32の計数値COUNTを比較し一致している場合にイネーブル信号E N Bを1とする。定数倍率値Dは矩形画像の拡大縮小倍率を示す値であり、使用者は、自己が必要とする倍率に最も近い倍率(丸め込んだ倍率)をDに設定する。図7に示される回路をコントローラ21として用いる場合XDが、コントローラ22として用いる場合にはYDが、それぞれ入力される。

【0013】図7に示される回路をコントローラ21及び22として用いて拡大縮小転送を実行する場合、コントローラ21及び22は、X方向のアドレスカウンタ23及び25がカウントアップする毎にY方向のアドレスカウンタ24及び26の計数動作が実行されるよう、動作させる。各コントローラ21及び22は、それぞれ、図8に示されるように動作する。

【0014】この図に示されるように、使用者は定数倍率値D及び長軸値Lを入力する(301)。長軸カウンタ(NCOUNTER)31には入力された長軸値Lが(302)、カウンタ(COUNTER)32には0が、定数倍率値D>0(倍率>1)のときイネーブル信号E N Bには0が、定数倍率値D=0(倍率=1)のときイネーブル信号E N Bには1が、それぞれプリセットされる(303)。この様なプリセット動作が終了すると、ステップ304～313の繰り返し動作に移行する。

【0015】上述のプリセット動作（ただし $D > 0$ とする）実行直後においては、まず、比較器33からイネーブル信号ENB=0が outputされる（304）。この時点では $N=L$ であり長軸カウンタ31はカウントアップしていない（ $N \neq 0$ ）（305）。従って、長軸カウンタ31のダウンカウント（Nの1デクリメント）が実行された後（307）、カウンタ32及び比較器33の動作が継続される。

【0016】この時点では、イネーブル信号ENB=0であるためカウンタ32はクリアされず（308）、カウンタ32の計数値COUNTの1インクリメントが実行される。比較器33はカウンタ32の計数値COUNTを倍率値Dと比較する（311）。この時点では計数値COUNTは倍率値Dに至っていないから、比較器33の出力であるイネーブル信号は0を維持する（312）。続くステップ304においては、比較器33はイネーブル信号ENB=0を outputする。

【0017】以上の動作が繰り返し実行されると、カウンタ32の計数値COUNTはある時点で倍率値Dに至る。すると、比較器33の判定条件が成立し、イネーブル信号ENBが1となる（313）。続くステップ304においては、比較器33はイネーブル信号ENB=1を outputする。

【0018】この後ステップ307をへて、ステップ308及び310においてカウンタ32がクリアされる。すなわち、イネーブル信号ENB=1がカウンタ32のクリア信号CLEARとして機能する。これに伴い、比較器33の出力であるイネーブル信号ENBは再び0となる（311, 312, 304）。

【0019】従って、イネーブル信号ENBは、カウンタ32のカウントアップ周期毎に1となる。言い換れば、倍率値Dに応じた周期でイネーブル信号ENBがオンする。この動作は、長軸カウンタ31の計数値Nが0になるまで、繰り返される（305, 306）。

【0020】このようにして得られるイネーブル信号ENBをリードアドレスカウンタ23又は24による計数動作の許可／禁止制御に用いることにより、リードアドレスを倍率値Dに応じて定まる周期でインクリメントすることができる。ライトアドレスカウンタ25及び26の計数動作を単調に実行させておけば、リードアドレスの重複発生に対しライトアドレスの単調発生となるから、ソース側フレームメモリ27からディスティネーション側フレームメモリ28への矩形画像の拡大転送が実現される。逆に、イネーブル信号ENBをライトアドレスカウンタ25又は26による計数動作の許可／禁止制御に用いることにより、ライトアドレスを倍率値Dに応じて定まる周期でインクリメントすることができる。リードアドレスカウンタ23及び24の計数動作を単調に実行させておけば、ライトアドレスの重複発生に対しリードアドレスの単調発生となるから、ソース側フレーム

メモリ27からディスティネーション側フレームメモリ28への矩形画像の縮小転送が実現される。

【0021】また、コントローラ21及び22は、それぞれ長軸値LのX値XL又はY値YLに基づきイネーブル信号ENBを生成しているため、Y方向のアドレスカウンタ24及び26の計数動作は、X方向のアドレスカウンタ23及び25の計数動作が一回終了するごとに実行される。

【0022】従って、この従来例によれば、ソース側フレームメモリ27の矩形画像を、ディスティネーション側フレームメモリ28の矩形領域に、定数の倍率で拡大縮小転送することが出来る。

### 【0023】

【発明が解決しようとする課題】しかし、このような操作により矩形画像の拡大縮小転送を行う場合、定数の倍率しか指定できない。従って、使用者は、必要な倍率が装置にないとき、適当な倍率に丸め込むことを余儀無くされ、また、必要な倍率の画像が正確に得られない。さらに、使用者は、倍率値Dを計算して設定しなければならない。このため、例えば拡大・縮小操作を連続的に実行しようとする場合、オーバーヘッドも問題となる。

【0024】本発明は、このような問題点を解決することを課題としてなされたものであり、矩形画像の拡大縮小転送を行う際に、任意の倍率を指定でき、指定した倍率の画像を正確に得ることができ、さらにオーバーヘッドも小さくすることができる装置及び方法を提供することを目的とする。

### 【0025】

【課題を解決するための手段】このような目的を達成するために、本発明の矩形画像の拡大装置は、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数個のアドレスに重複して書き込まれるよう、読み出しアドレスカウンタの計数動作を適宜禁止することによりソース側フレームメモリからの読み出しアドレスを重複発生させる拡大転送制御手段と、を備え、拡大転送制御手段が、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきディジタル微分解析

(DDA)の諸元を演算する手段と、演算により得られた諸元に基づきDDAを実行することにより、読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき読み出しアドレスカウンタの計数動作を制御する手段と、を備え、短軸値及び

長軸値の指定に応じ、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納することを特徴とする。

【0026】また、本発明の矩形画像の縮小装置は、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタと、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタと、ソース側フレームメモリから読み出されたデータの一部が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる縮小転送制御手段と、を備え、縮小転送制御手段が、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきDDAの諸元を演算する手段と、演算により得られた諸元に基づきDDAを実行することにより、書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき書き込みアドレスカウンタの計数動作を制御する手段と、を備え、長軸値及び短軸値の指定に応じ、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納することを特徴とする。

【0027】本発明の画像処理装置は、矩形画像をデータとして格納するソース側フレームメモリと、ソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリと、本発明の矩形画像の拡大装置又は縮小装置と、を備えることを特徴とする。

【0028】さらに、本発明の矩形画像の拡大転送制御装置は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきDDAの諸元を演算する手段と、演算により得られた諸元に基づきDDAを実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに拡大して転送することを特徴とする。

じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの拡大転送を制御することを特徴とする。本発明の矩形画像の縮小転送制御装置は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきDDAの諸元を演算する手段と、演算により得られた諸元に基づきDDAを実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定する手段と、その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御する手段と、を備え、長軸値及び短軸値の指定に応じてソース側フレームメモリからディスティネーション側フレームメモリに矩形画像に係るデータの縮小転送を制御することを特徴とする。

【0029】本発明の矩形画像の拡大転送方法は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を短軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を長軸としてそれぞれ扱いつつ、短軸の長さを示す短軸値及び長軸の長さを示す長軸値に基づきDDAの諸元を演算し、演算により得られた諸元に基づきDDAを実行することにより、ソース側フレームメモリからの読み出しアドレスを計数により発生させる読み出しアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき読み出しアドレスカウンタの計数動作を制御することにより、計数動作の禁止タイミングにおいて重複発生するよう、ソース側フレームメモリからの読み出しアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに拡大して転送することを特徴とする。

【0030】そして、本発明の矩形画像の縮小転送方法は、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺を長軸として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺を短軸としてそれぞれ扱いつつ、長軸の長さを示す長軸値及び短軸の長さを示す短軸値に基づきDDAの諸元を演算し、演算により得られた諸元に基づきDDAを実行することにより、ディスティネーション側フレームメモリへの書き込みアドレスを計数により発生させる書き込みアドレスカウンタの計数動作を禁止するタイミングを決定し、その結果に基づき書き込みアドレスカウンタの計数動作を制御することにより、計数動

作の禁止タイミングにおいて重複発生するよう、ディスティネーション側フレームメモリへの書き込みアドレスを制御することにより、ソース側フレームメモリにデータとして格納されている矩形画像をディスティネーション側フレームメモリに縮小して転送することを特徴とする。

【0031】なお、本発明は、一般にn次元（nは2以上の整数）メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

【0032】

【作用】本発明の矩形画像の拡大装置においては、読み出しアドレスカウンタの計数動作によりソース側フレームメモリからの読み出しアドレスが、書き込みアドレスカウンタの計数動作によりディスティネーション側フレームメモリへの書き込みアドレスが、それぞれ生成される。拡大転送制御手段は、短軸値及び長軸値の指定に応じDDAを実行し、その結果に基づき読み出しアドレスカウンタの計数動作を適宜禁止する。この動作により、ソース側フレームメモリから読み出されたデータがディスティネーション側フレームメモリの複数個のアドレスに重複して書き込まれるよう、ソース側フレームメモリからの読み出しアドレスが重複発生し、ソース側フレームメモリ上にデータとして格納されている矩形画像がディスティネーション側フレームメモリ上に拡大して転送格納される。

【0033】より詳細には、拡大転送制御手段には、まず短軸値及び長軸値が入力され、これらに基づきDDAの諸元が演算される。ここにいう短軸値とは、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺（短軸）の長さであり、長軸値とは、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺（長軸）の長さである。DDAの諸元には、例えば、DDAにおける増分演算に必要なプリセット値や、短軸値に応じて設定される増分値、短軸値と長軸値の差に応じて設定される減分値等がある。拡大転送制御手段は、演算により得られた諸元に基づきDDAを実行する。読み出しアドレスカウンタの計数動作を禁止するタイミングは、DDAの結果に応じ、例えばDDAにおける増分演算の結果発生するキャリに応じ、イネーブル信号のオフタイミングとして決定される。拡大転送制御手段は、決定されたタイミングに基づき読み出しアドレスカウンタの計数動作を制御する。

【0034】この様にDDAを実行して読み出しアドレスカウンタの動作を制御することにより、使用者は、ソース側フレームメモリ上の矩形画像の一辺と、ディスティネーション側フレームメモリ上の矩形領域の一辺とを短軸値及び長軸値として入力するのみで足りることとなる。すなわち、拡大倍率は、短軸値及び長軸値により定まる倍率に正確に制御されることとなる。また、例えば拡大を連続して実行する場合等におけるオーバヘッドが

短縮される。

【0035】本発明の矩形画像の縮小装置においては、上述した拡大装置と同様の原理により、矩形画像の縮小転送が実現される。すなわち、上述の拡大転送制御手段に代え、あるいはこれと共に、縮小転送制御手段が設けられる。縮小転送制御手段は、ソース側フレームメモリから読み出されたデータの一部が間欠的に削除されつつディスティネーション側フレームメモリに書き込まれるよう、書き込みアドレスカウンタの計数動作を適宜禁止することによりディスティネーション側フレームメモリへの書き込みアドレスを重複発生させる。その際、縮小転送制御手段は、上述の拡大転送制御手段と同様、長軸値及び短軸値の入力を受ける。この場合、長軸値とは、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺（長軸）の長さを、短軸値とは、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺（短軸）の長さを、それぞれ示している。縮小転送制御手段は、入力される長軸値及び短軸値に基づくDDAの諸元の演算、演算により得られた諸元に基づくDDA、その結果に基づく書き込みアドレスカウンタの計数動作禁止タイミングの決定、並びにその結果に基づく書き込みアドレスカウンタの計数動作の制御を実行する。

【0036】従って、本発明の矩形画像の縮小装置においては、使用者は、ソース側フレームメモリ上の矩形画像の一辺と、ディスティネーション側フレームメモリ上の矩形領域の一辺とを長軸値及び短軸値として入力するのみで足りることとなり、上述の拡大装置と同様、縮小倍率が長軸値及び短軸値により定まる倍率に正確に制御され、例えば縮小を連続して実行する場合等におけるオーバヘッドが短縮される。

【0037】本発明の画像処理装置においては、矩形画像をデータとして格納するソース側フレームメモリ及びソース側フレームメモリとからデータとして転送される矩形画像を格納可能なディスティネーション側フレームメモリを備える装置において、さらに本発明の矩形画像の拡大装置又は縮小装置が設けられる。従って、上述の作用が得られる画像処理装置（例えばディスプレイ装置、プロッタ装置）が実現される。むろん、本発明の矩形画像の拡大装置及び縮小装置を共に設けてもよい。その場合、制御対象（例えばイネーブル信号の供給先）の切り換えを実行することにより、同一の回路を拡大転送制御手段及び縮小転送制御手段として使用できる。

【0038】そして、本発明の矩形画像の拡大転送制御装置は、上述の拡大転送制御手段として用い得る装置であり、その機能・作用は上述の拡大転送制御手段と同内容であり、本発明の矩形画像の拡大転送方法の機能・作用と同内容である。また、本発明の矩形画像の縮小転送制御装置は、上述の縮小転送制御手段として用い得る装置であり、その機能・作用は上述の縮小転送制御手段と

同内容であり、本発明の矩形画像の縮小転送方法の機能・作用と同内容である。両者は、長軸値及び短軸値として入力すべき値がソース側フレームメモリ上にデータとして格納されている矩形画像の一辺の長さ及びこの矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺の長さのいずれに対応するかが異なっており、また、計数動作の禁止制御対象（例えばイネーブル信号の供給先等）が異なっているのみであるから、同一の装置構成を、拡大転送の場合には拡大転送制御装置として、縮小転送の場合には縮小転送制御装置として、使用可能である。なお、本発明は、一般にn次元（nは2以上の整数）メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

#### 【0039】

【実施例】以下、本発明の好適な実施例について説明する。

【0040】図1には、本発明の一実施例に係る装置の回路構成が示されている。この図に示される装置は、図6に示される装置と同様、矩形画像の拡大縮小転送を行う構成である。

【0041】この図の回路は、ソース側フレームメモリ07からのリードとディスティネーション側フレームメモリ08へのライトを行うことにより、ソース側フレームメモリ07上の矩形画像をディスティネーション側フレームメモリ08へ転送する回路である。そのため、フレームメモリとしてソース側フレームメモリ07及びディスティネーション側フレームメモリ08を備えている。

【0042】ソース側フレームメモリ07からのリードアドレス（XRA, YRA）は、それぞれ、Xリードアドレスカウンタ03及びYリードアドレスカウンタ04により生成される。同様に、ディスティネーション側フレームメモリ08へのライトアドレス（XWA, YWA）は、それぞれ、Xライトアドレスカウンタ05及びYライトアドレスカウンタ06により生成される。いずれのアドレスカウンタ03～06にも、イネーブル端子が設けられているため、各アドレスカウンタ03～06の計数動作は、対応するコントローラ01又は02から供給されるイネーブル信号ENBをオン／オフすることにより、許可／禁止することができる。図2には、コントローラ01又は02として使用し得る回路の構成が示されている。この図に示される回路をコントローラ01又は02として用いイネーブル信号を発生させることにより、ソース側フレームメモリ07上の矩形画像がディスティネーション側フレームメモリ08上に任意の倍率で拡大縮小転送されるよう、各アドレスカウンタ03～06の動作を制御することができる。

【0043】この回路を用いた処理の特徴は、矩形画像の長軸値L及び短軸値Sに基づきディジタル微分解析

（DDA）を実行することにある。ここに、長軸値Lとは、拡大転送の場合には拡大後の（ディスティネーション側フレームメモリ08上での）矩形画像の一辺の長さを、縮小転送の場合には縮小前の（ソース側フレームメモリ07上での）矩形画像の一辺の長さをいう。短軸値Sとは、拡大転送の場合には拡大前の（ソース側フレームメモリ07上での）矩形画像の一辺の長さを、縮小転送の場合には縮小後の（ディスティネーション側フレームメモリ08上での）矩形画像の一辺の長さをいう。使用者は、従来例のように倍率値Dを指定する必要がなく、処理に先立ち長軸値Lと短軸値Sを決定するのみで足りる。従って、倍率値Dの丸めが発生せず正確な拡大縮小が可能になると共に、連続的な拡大縮小を行う場合にも、倍率値Dの選択決定によるオーバヘッドが生じない。

【0044】図2に示される回路は、演算器11、長軸カウンタ12、加算値セレクタ13、加算器14、初期値セレクタ15及びレジスタ16から構成されている。演算器11は、DDAの諸元であるプリセット値ML、20増分値PD及び減分値MCを、長軸値L及び短軸値Sに基づき演算する。図2に示される回路をコントローラ01として用いる場合には、長軸値L及び短軸値SとしてそのX値XL及びXSを与える。逆に、コントローラ02として用いる場合には、長軸値L及び短軸値SとしてそのY値YL及びYSを与える。

【0045】長軸カウンタ12には、長軸値Lがプリセットされる。長軸カウンタ12はダウンドカウンタであり、カウントアップすると矩形画像の拡大縮小転送動作が終了する。

【0046】初期値セレクタ15は、演算器11により演算された諸元の一つであるプリセット値MLを、レジスタ16にプリセットする機能を有している。プリセット以後は、加算器14の出力をレジスタ16に供給する。

【0047】加算器14は、レジスタ16の内容REGに加算値セレクタ13から供給される加算値ADDを加算して出力する。その際、加算値セレクタ13は、増分値PD及び減分値MCのいずれかを選択して加算値ADDとして加算器14に供給する。レジスタ16は、加算器14においてキャリCARが生じている場合、これをイネーブル信号ENBとする。

【0048】本実施例においては、このイネーブル信号ENBを利用して、矩形画像の拡大縮小転送が実行される。例えば拡大を行う場合は、図2の構成を有するコントローラ01及び02から、イネーブル信号ENBをリードアドレスカウンタ03及び04のイネーブル端子に入力する。REGのキャリCARであるイネーブル信号ENBは、後述するように、図2に示される回路のDDA動作の結果に応じてオンする（ENB=1）。リードアドレスカウンタ03及び04は、イネーブル信号EN

Bがオン (ENB=1) している時点で計数動作を実行し、ソース側フレームメモリ07のリードアドレス (XRA, YRA) を発生させる。イネーブル信号ENBがオフしている (ENB=0) ときには、直前の値を維持する (重複発生させる)。

【0049】従って、ライトアドレスカウンタ05及び06に単調な計数を実行させディスティネーション側フレームメモリ08のライトアドレス (XWA, YWA) を発生させる一方で、図2の構成を有するコントローラ01及び02からイネーブル信号ENBをリードアドレスカウンタ03及び04に供給しコントローラ01及び02の管理下でソース側フレームメモリ07のリードアドレス (XRA, YRA) を発生させるようすれば、ソース側フレームメモリ07上の矩形画像をディスティネーション側フレームメモリ08に拡大転送することができる。逆に、縮小を行う場合は、リードアドレスカウンタ03及び04に単調な計数を実行させソース側フレームメモリ07のリードアドレス (XRA, YRA) を発生させる一方で、図2の構成を有するコントローラ01及び02からイネーブル信号ENBをライトアドレスカウンタ05及び06にしコントローラ01及び02の管理下でディスティネーション側フレームメモリ08のライトアドレス (XWA, YWA) を発生させるようすればよい。

【0050】図3には、この実施例におけるコントローラ01及び02のイネーブル信号ENB発生動作が示されている。

【0051】この図に示されるように、使用者は、まず、長軸値L及び短軸値Sを入力する (101)。この入力に応じ、演算器11は、DDAの諸元であるプリセット値ML、増分値PD及び減分値MCに、それぞれ-L、2S及び2(S-L)をプリセットする (102)。さらに、長軸カウンタ (NCOUNTER) 12には長軸値Lが (103)、レジスタ (REGISTER) 16にはプリセット値ML=-Lが、イネーブル信号ENBには0が (104)、それぞれプリセットされる。レジスタ16へのプリセット値MLのプリセットは、初期値セレクタ15により実行される。このようなプリセット動作が実行された後、ステップ105～114に係る繰り返し動作に移行する。

【0052】プリセット動作が終了した直後には、まず、レジスタ16からイネーブル信号ENB=0が出力される (105)。この時点では長軸カウンタ12の計数値Nはまだ0に至っていないから、ステップ106の判定条件であるN=0は成立せず、ステップ108に移行する。

【0053】続くステップ108では、長軸カウンタ12の計数値Nがデクリメントされる。この時点ではイネーブル信号ENB=0であるから、加算値セレクタ13は加算値ADDとして増分値PDを選択する (109,

110)。加算の結果、REG<0の状態が維持される場合 (112)、すなわちキャリCARが発生しない場合、イネーブル信号ENB=0に引き続き設定され (113)、逆にキャリCARが発生した場合にはイネーブル信号ENB=1となる (114)。このイネーブル信号ENBは、続くステップ105においてレジスタ16から出力される。

【0054】従って、レジスタREG16の内容は、プリセット値であるML=-Lから始まって、増分値PD10ずつインクリメントされていく。このインクリメントの結果、ある時点で、REG<0の状態からREG≥0に至る。REG≥0に至ると、キャリCARがイネーブル信号ENBとして用いられENB=1となるから、加算値セレクタ13により加算値ADDとして減分値MC=2(S-L)が選択され、REGに加算される (109, 111)。以上の動作は、ステップ108における計数値Nのデクリメント操作の繰り返しにより長軸カウンタ12の計数値Nが0となるまで繰り返し実行される (106, 107)。

【0055】なお、コントローラ01には長軸値L及び短軸値SとしてそのX方向の値XL及びXS、コントローラ02にはそのY方向の値YL及びYSを、入力しているため、Y方向のアドレスカウンタ04及び06は、アドレスカウンタ03及び05が1回カウントアップするごとにカウントする。

【0056】以上説明した動作においては、キャリCARがあるか否か (REG≥0か否か) に応じ (112, 109)、REGへの加算値ADDが選択されている (110, 111)。すなわち、キャリCARがイネーブル信号ENBとして用いられ、その値に応じてREG30をインクリメントするか (PDの加算)、デクリメントするか (MCの加算) を決定している。この様なREGの操作をDDA操作と呼ぶ。DDA操作においては、ML=-LにプリセットされているREGに、REG≥0となるまで増分値PD=2Sが加算され、REG≥0となると減分値MC=2(S-L)：負の値の加算によりREGが一旦REG<0の状態に戻される。その後は、再びREG≥0となるまで増分値PD=2Sが加算される。この操作は、イネーブル信号ENBをオンさせるべきか否かを、増分値PD及び減分値MCによる増分計算により決定する操作であるといえる。本実施例においては、この様なDDA操作によりイネーブル信号ENBを発生させ、発生させたイネーブル信号ENBをリードアドレスカウンタ03及び04 (拡大時) 又はライトアドレスカウンタ05及び06 (縮小時) の制御に使用している。

【0057】次に、このようなコントローラ01又は02の動作を、具体例を用いて説明する。図4(a)には、本実施例のコントローラ01又は02にL=8, S50=3を入力した場合の動作がタイミングチャートとして

示されている。

【0058】まず、ステップ101において $L=8$ ,  $S=3$ が入力されると、演算器11の動作によって(102)、プリセット値MLが-8に、増分値PDが6に、減分値MCが-10に、それぞれ設定される。長軸カウンタ12にはNとして8が設定され(103)、REGには-8が、イネーブル信号ENBには0が設定される(104)。

【0059】長軸カウンタ12の計数値Nは、ステップ108におけるデクリメント操作により、8から0までデクリメントされる。イネーブル信号ENBの値がプリセット時の値、すなわち0である間は、REGに増分値PDが加算されるため(109, 110)、REGの値は-8から-2へ、-2から+4へと変化する。REGの値が負である間はイネーブル信号ENBの値は0に維持されるが(112, 113)、REGの値が+4になるとイネーブル信号ENBの値は1に変化する(112, 114)。イネーブル信号ENBが1となるとステップ111においてREGにMC=-10が加算されるため、REGは+4から-6に変化する。これに伴い、イネーブル信号ENBの値は0に変化する(112, 113)。以下同様に、この様な動作が継続して実行される結果、イネーブル信号ENBの値は0、0、1、0、1、0、0、1、0と変化することになる。

【0060】この様な動作によって生成するイネーブル信号ENBをリードアドレスカウンタ03及び04に供給することにより、拡大転送を実行できる。すなわち、リードアドレスカウンタ03又は04にこのようなイネーブル信号ENBが供給されると、その内容はイネーブル信号ENBがオン( $ENB=1$ )の時にインクリメントされ、0、0、1、1、2、2、2、3、3の順で変化する。この値をリードアドレスXRA又はYRAとして用いると、リードアドレスが重複して発生しているため(すなわち0が2回、1が2回…というように連続して発生しているため)、ソース側フレームメモリ07からの読み出しも同一アドレスのデータに対して重複して実行されることとなる。一方で、ライトアドレスカウンタ05及び06は単調に計数動作を実行しており、ライトアドレスは0から順に8までインクリメントされる。従って、リードアドレス0、0、1、1、2、2、2、3、3のデータが、ライトアドレス0、1、2、3、4、5、6、7、8に書き込まれることとなる。

【0061】従って、本実施例によれば、例えば図4(b)に示されるように、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に拡大転送可能となる。図の例は $L=8$ ,  $S=3$ の例であり、左側はソース側フレームメモリ07上の矩形画像、右側はディスティネーション側フレームメモリ08上の矩形画像である。図中左下がXアドレス、Yアドレス( $X_A, Y_A = (0, 0)$ )の原点であり、黒塗り

部分は重複してリードされ加えられた部分である。図5(a)には、本実施例のコントローラ01又は02に $L=9$ ,  $S=6$ を入力した場合の動作がタイミングチャートとして示されている。

【0062】まず、ステップ101において $L=9$ ,  $S=6$ が入力されると、演算器11の動作によって(102)、プリセット値MLが-9に、増分値PDが12に、減分値MCが-6に、それぞれ設定される。長軸カウンタ12にはNとして9が設定され(103)、REGには-9が、イネーブル信号ENBには0が設定される(104)。

【0063】長軸カウンタ12の計数値Nは、ステップ108におけるデクリメント操作により9から0までデクリメントされる。初期的にはイネーブル信号ENBが0でありREGに増分値PDが加算されるため(109, 110)、REGは-9から+3へと変化する。これに伴い、イネーブル信号ENBは1に変化する(112, 114)。次にステップ109を実行する際にはENB=1であるから、REGに減分値MCが加算され(111)、REGは+3から-3に変化し、ENB=0となる(112, 113)。以下同様に、この様な動作が継続して実行される結果、イネーブル信号ENBの値は0、1、0、1、1、0、1、0、1と変化する。

【0064】この様な動作によって生成するイネーブル信号ENBをライトアドレスカウンタ05及び06に供給することにより、縮小転送を実行できる。すなわち、ライトアドレスカウンタ05又は06にこのようなイネーブル信号ENBが供給されると、その内容はイネーブル信号ENBがオン( $ENB=1$ )の時にインクリメントされ、0、1、1、2、3、3、4、5、5、6の順で変化する。この値をライトアドレスXWA又はYWAとして用いると、ライトアドレスが重複して発生しているため(すなわち0が1回、1が2回…というように連続して発生しているため)、ディスティネーション側フレームメモリ08への書き込みも同一アドレスのデータに対して重複して実行されることとなる。一方で、リードアドレスカウンタ03及び04は単調に計数動作を実行するため、リードアドレスは0から順に9までインクリメントされる。従って、リードアドレス0、1、2、3、4、5、6、7、8のデータが、ライトアドレス0、1、2、3、4、5、5、6に書き込まれることとなる。

【0065】従って、本実施例によれば、例えば図5(b)に示されるように、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に縮小転送可能となる。図の例は $L=9$ ,  $S=6$ の例であり、左側はソース側フレームメモリ07上の矩形画像、右側はディスティネーション側フレームメモリ08上の矩形画像である。図中左下がXアドレス、Yアド

レス ( $X_A, Y_A$ ) = (0, 0) の原点であり、黒塗り部分は重複してリードされ減らされた部分である。

【0066】このように、本実施例によれば、矩形画像をソース側フレームメモリ07からディスティネーション側フレームメモリ08に拡大縮小転送できる。その際、長軸値Lと短軸値Sを与えDDA操作を実行し、その結果に基づきイネーブル信号ENBを発生させるよう正在するため、拡大縮小転送の倍率を必要な任意の値に設定することができ、正確な拡大縮小が可能になる。また、連続的拡大縮小時において倍率に応じたカウンタ設定等に係るオーバヘッドも生じない。

【0067】なお、以上の説明では、ソース側フレームメモリ07及びディスティネーション側フレームメモリ08をX, Y2次元のメモリとしていたが、これは一般にn次元 ( $n > 1$ ) メモリでよい。

#### 【0068】

【発明の効果】以上説明したように、本発明の矩形画像の拡大装置によれば、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺(短軸)の長さを短軸値として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺(長軸)の長さを長軸値として拡大転送制御手段に入力し、短軸値及び長軸値に基づくDDAの諸元演算、DDAによる読み出しアドレスカウンタの計数動作禁止タイミングの決定、決定されたタイミングに基づく読み出しアドレスカウンタの計数動作の制御を実行するようにしたため、使用者がソース側フレームメモリ上の矩形画像の一辺の長さ及びディスティネーション側フレームメモリ上の矩形領域の一辺の長さを入力するのみで、すなわち拡大倍率を設定することなく、ソース側フレームメモリ上にデータとして格納されている矩形画像をディスティネーション側フレームメモリ上に拡大して転送格納できる。従って、倍率の丸め等による誤差の発生が回避されるため倍率を正確に制御可能になる。また、倍率設定に伴うオーバヘッド、例えば拡大転送を連続的に実行する場合のオーバヘッドが生じないため、拡大転送時のオーバヘッドを短縮できる。また、本発明の矩形画像の縮小装置によれば、ソース側フレームメモリ上にデータとして格納されている矩形画像の一辺(長軸)の長さを長軸値として、この矩形画像を転送格納すべきディスティネーション側フレームメモリの矩形領域の一辺(短軸)の長さを短軸値として縮小転送制御手段に入力し、長軸値及び短軸値に基づくDDAの諸元演算、DDAによる読み出しアドレスカウンタの計数動作禁止タイミングの決定、決定されたタイミングに基づく読み出しアドレスカウンタの計数動作の制御を実行するようにしたため、使用者がソース側フレームメモリ上の矩形画像の一辺の長さ及びディスティネーション側フレームメモリ上の矩形領域の一辺の長さを入力するのみで、すなわち縮小倍率を設定することなく、ソース側フレームメモリ上にデータ

として格納されている矩形画像をディスティネーション側フレームメモリ上に縮小して転送格納できる。従つて、倍率の丸め等による誤差の発生が回避されるため倍率を正確に制御可能になる。また、倍率設定に伴うオーバヘッド、例えば縮小を連続的に実行する場合のオーバヘッドが生じないため、縮小転送時のオーバヘッドを短縮できる。

【0069】本発明の画像処理装置によれば、ソース側フレームメモリ及びディスティネーション側フレームメモリを備える画像処理装置(例えばディスプレイ装置、プロッタ装置)に本発明の矩形画像の拡大装置又は縮小装置を採用するようにしたため、上述の効果が画像処理装置において得られる。また、本発明の矩形画像の拡大装置及び縮小装置を共に設けることも可能である。その場合、さらに、同一の回路を拡大転送制御手段及び縮小転送制御手段として使用でき、装置構成の肥大化を防止できる。

【0070】そして、本発明の矩形画像の拡大転送制御装置及び方法によれば、上述の拡大転送制御手段として用い得る装置及び方法を実現できる。また、本発明の矩形画像の縮小転送制御装置及び方法によれば、上述の縮小転送制御手段として用い得る装置及び方法を実現できる。さらに、両者は、同一の回路構成で実現でき、拡大転送の場合には拡大転送制御装置として、縮小転送の場合には縮小転送制御装置として、切り換え使用できる。

【0071】加えて、本発明は、一般にn次元( $n$ は2以上の整数)メモリであるソース側フレームメモリ及びディスティネーション側フレームメモリに適用できる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例に係る装置の全体回路構成を示す図である。

【図2】この実施例においてコントローラとして使用されイネーブル信号を発生させる回路の構成を示す図である。

【図3】この実施例の動作の流れを示すフローチャートである。

【図4】この実施例における拡大転送動作の一例( $L=8, S=3$ )を示す図であり、図4(a)はコントローラ及びアドレスカウンタの動作並びにリード/ライトデータの内容を示すタイミングチャートであり、図4(b)はソース側フレームメモリ上の矩形画像とディスティネーション側フレームメモリ上の矩形画像の関係を、拡大転送時に重複発生により補ったデータを破線として示した平面図である。

【図5】この実施例における縮小転送動作の一例( $L=9, S=6$ )を示す図であり、図4(a)はコントローラ及びアドレスカウンタの動作並びにリード/ライトデータの内容を示すタイミングチャートであり、図4(b)はソース側フレームメモリ上の矩形画像とディス

ティネーション側フレームメモリ上の矩形画像の関係

を、縮小転送時に重複発生により欠落させたデータを破線として示した平面図である。

【図6】一従来例に係る装置の全体回路構成を示す図である。

【図7】この従来例においてコントローラとして使用されイネーブル信号を発生させる回路の構成を示す図である。

【図8】この従来例の動作を示すフローチャートである。

#### 【符号の説明】

- 0 1 X側のコントローラ
- 0 2 Y側のコントローラ
- 0 3 Xリードアドレスカウンタ
- 0 4 Yリードアドレスカウンタ
- 0 5 Xライトアドレスカウンタ
- 0 6 Yライトアドレスカウンタ
- 0 7 ソース側フレームメモリ
- 0 8 ディスティネーション側フレームメモリ
- 1 1 演算器
- 1 2 長軸カウンタ
- 1 3 加算値セレクタ
- 1 4 加算器

\* 1 5 初期値セレクタ

1 6 レジスタ

L 長軸値

X L 長軸値のX値

Y L 長軸値のY値

S 短軸値

X S 短軸値のX値

Y S 短軸値のY値

ML プリセット値

10 PD 増分値

MC 減分値

N 長軸カウンタの計数値

REG レジスタの内容

ADD 加算値

CAR キャリ

ENB イネーブル信号

XRA Xリードアドレス

YRA Yリードアドレス

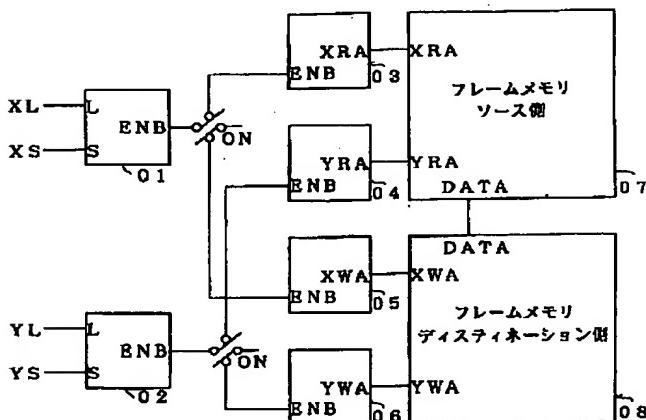
XWA Xライトアドレス

20 YWA Yライトアドレス

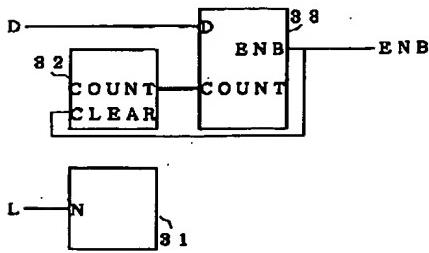
DATA リード／ライトデータ

\*

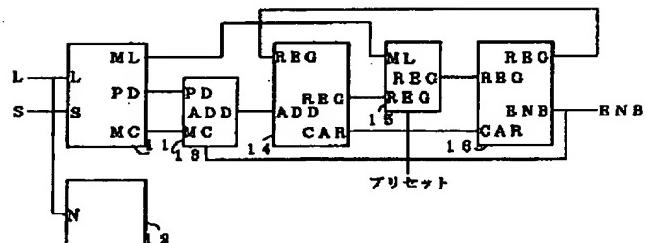
【図1】



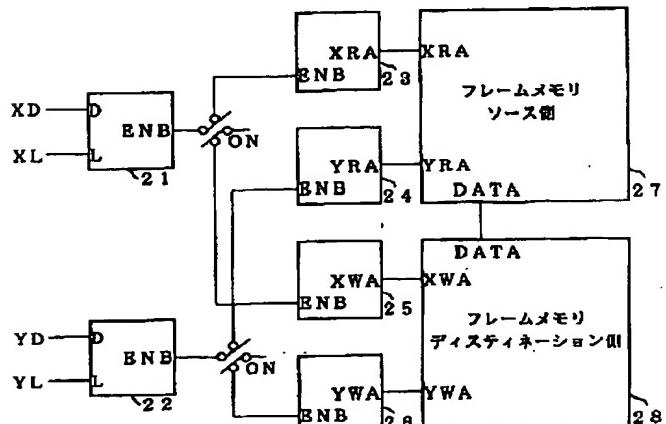
【図7】



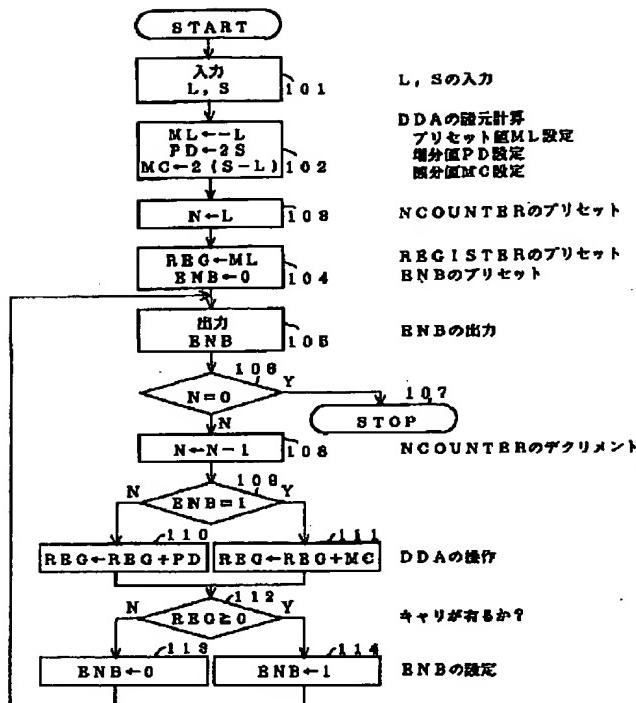
【図2】



【図6】



【図3】



【図4】

( a )	
長鎖カウンタ	8 7 6 5 4 8 2 1 0
レジスタ	-8 -2 +4 -6 +0 -10 -4 +2 -8
イネーブル信号	0 0 1 0 1 0 0 1 0
リードアドレス	0 1 2 3
リードデータ	0 1 2 3
ライトアドレス	0 1 2 3 4 5 6 7 8
ライトデータ	0 0 1 1 2 2 2 3 3

【図5】

【図8】

(a)	
長積カウンタ	
レジスタ	
イネーブル信号	
リードアドレス	
リードデータ	
ライトアドレス	
ライトデータ	

( b )

